

一种基于 40 nm CMOS 工艺 12 位 60 MHz 流水线模数转换器

谢 灿^{1,2}, 魏子辉^{1,2}, 黄水龙^{1,2}

(1 中国科学院 微电子研究所, 北京 100029; 2 新一代通信射频芯片技术北京市重点实验室, 北京 100029)

摘 要: 采用带采样/保持电路, 由 10 级 1.5 位每级级电路和最后一级为 2 位 flash ADC 组成的流水线结构, 设计了一种 12 位 60 MHz 高性能流水线模数转换器. 在设计中采用栅压自举开关降低非线性, 采用带增益自举的折叠式共源共栅输入级和 AB 类输出级的运放, 采用动态锁存比较器, 同时逐级优化级电路中采样电容以及运放的增益和带宽. 在 SMIC 40 nm CMOS 工艺下, 当输入信号为 1.875 MHz, 采样速率为 60 MHz 时, SNDR 为 68.7 dB, SFDR 为 74.6 dB, ENOB 为 11.12 bit, 芯片的核心面积为 0.95 mm², 1.1 V 的电源电压下, 消耗的总电流为 56 mA.

关键词: 流水线模数转换器; 高性能; 采样/保持电路; 栅压自举开关; 动态锁存比较器

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2016)11-0054-06

A 12-Bit 60 MHz Pipeline ADC Based on 40 nm CMOS Process

XIE Can^{1,2}, WEI Zi-hui^{1,2}, HUANG Shui-long^{1,2}

(1 Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China; 2 Beijing Key Laboratory of Radio Frequency IC Technology for Next Generation Communications, Beijing 100029, China)

Abstract: A 12-bit 60 MHz high-performance pipeline ADC is designed in this paper, which consists of sample/hold circuit, 1.5-bit/stage conversion circuit applied from 1st to 10th and a 2-bit flash ADC of the last stage. In this design a gate-bootstrapping switch was used to reduce nonlinear, an operational amplifier with a gain-boosting folded cascade input stage and a class AB output stage was used, dynamic latch comparator was used too, meanwhile, optimizing the sampling capacitor, the gain and bandwidth of the operational amplifier in the circuit stage by stage. In a SMIC 40 nm CMOS process, when the input signal frequency was 1.875 MHz and the sampling frequency was 60 MHz, the SNDR was 68.7 dB, the SFDR was 74.6 dB, the ENOB was 11.12 bits, the core area of chip was 0.95 mm², the total dissipation current was 56 mA under the 1.1 V supply voltage.

Key words: pipeline ADC; high-performance; sample/hold circuit; gate-bootstrapping switch; dynamic latch comparator

1 引言

模数转换器(ADC)作为连接真实世界与数字世界的桥梁,发挥着不可替代的作用. 高速、高精度的流水线 ADC 是研究人员关注的热点^[1], 低功耗设计作为 IC 设计永恒不变的话题深受关注, 针对流水型 ADC, 提出了级间运算放大器共享的技术, 可以大幅度降低功耗^[2]. 此外, 优化校正算法对于获得高性能流水型 ADC 也具有至关重要的作用^[3].

本文设计了一种基于 SMIC 40 nm CMOS 工艺

12 位 60 MHz 高性能流水线型模数转换器, 能够满足视频信号处理和便携式通信领域的应用.

2 流水线 ADC 的系统架构及基本原理

本文提出的流水线 ADC 的系统架构如图 1 所示, 主要由采样保持(S/H)电路、时钟产生电路、流水级转换电路(包括 MDAC 和 Sub ADC)以及外围数字电路等组成. 系统前端为采样保持(S/H)电路, 流水级转换电路共分为 11 级, 1 到 10 级采用 1.5 位每级结构, 这 10 级电路结构都一样, 最后一级采

用 2 位 flash ADC 结构.

在 A/D 转换过程中,输入模拟信号的量化过程被分配到一条级联的流水线信号链上实现的. S/H 电路完成对输入模拟信号的采样和保持,采样结果传递给流水级转换电路,在两相非交叠时钟的作用下,相邻流水级转换电路交替工作于采样相和保持相. 在采样相时,上一级的模拟信号输出给予子 ADC(Sub ADC)模块进行模数转换,转换的结果作为本级的数字输出,同时

流水级采样保持电路(S/H)采集该输入信号. 在转换时,根据子 ADC 输出的数字信号,子 ADC 模块选择相应的模拟电平信号作为输入信号的表征,与输入信号相减后放大 2 倍并传递给下一级,下一级重复同样的转换过程. 每一级转换电路和最后一级 flash ADC 均产生 2 位数字输出,将得到的 22 位数字输出码送入时钟对准电路中,再经过数字校正电路的处理,最终得到 12 位准确的数字输出.

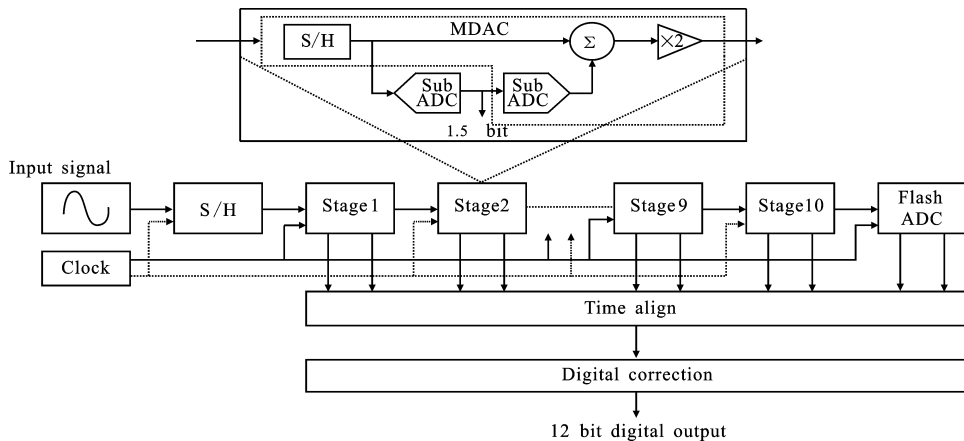


图 1 流水线 ADC 系统总体架构图

3 流水线 ADC 重要电路模块的实现

流水线 ADC 主要由采样保持(S/H)电路、时钟产生电路、流水级转换电路(包括 MDAC 和 Sub ADC)以及外围数字电路等组成. 本文将重点阐述系统前端 S/H 电路以及流水级转换电路的具体实现.

3.1 系统前端 S/H 电路的设计

图 2 为系统前端 S/H 电路的结构图,该电路采用全差分结构,可以有效消除直流偏置误差和偶次谐波失真,并能抑制来自衬底的共模噪声. S/H 电路主要有电荷重新分配和电容翻转型两种^[4],本文采用的是电荷重分配结构,因为电荷重新分配式 S/H 电路能够满足输入信号共模范围较大的要求. 此外,由于输入输出共模电压值并不要求相同,这样就减轻了对运算放大器共模电平的设计难度. 在综合考虑系统性能与芯片面积的前提下,在信号的关键路径上用栅压自举开关来代替普通的传输门开关^[5],提高了系统整体线性度,而在不重要的信号路径上采用普通传输门开关以节省芯片面积. 为了减少电荷注入效应,通过增加 dummy 开关来改善. 同时采用底极板采样技术,时钟信号 Φ'_1 比 Φ_1 先下降到低电平,可以消除与输入信号相关的电荷注入和时钟馈通效应^[6].

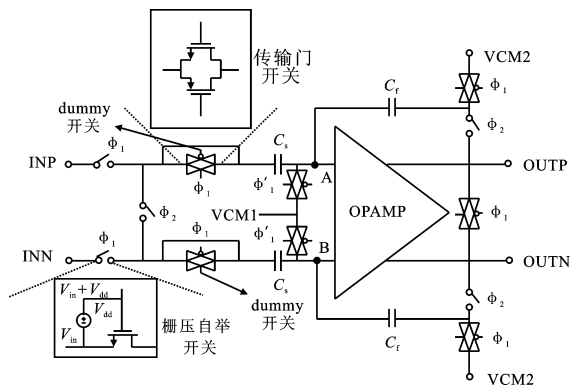
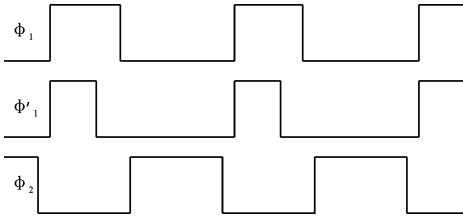


图 2 系统前端 S/H 电路结构图

Φ_1 和 Φ_2 为两相非交叠时钟, Φ_1, Φ'_1 和 Φ_2 的时序图如图 3 所示. 假设当时钟 Φ_1 为高电平时开关导通, S/H 电路进入采样状态, 采用底极板采样技术, 采样电容 C_s 存储与输入信号电压 V_{INP} 和 V_{INN} 相关的电荷量, 反馈电容 C_f 两端连接在两共模电压 V_{CM1} 和 V_{CM2} 上, 反馈系统不工作. 当时钟信号发生翻转时, Φ_1 跳变至低电平, Φ_2 变为高电平, 系统从采样状态转换到保持阶段, 此时 4 个电容与运算放大器构成反馈环路结构, 实现电荷的重新分配. 在本设计中, S/H 电路增益为 1, 采样电容 C_s 与反馈电容 C_f 相等.

由于普通开关的非线性引入的误差对整体性能

图 3 Φ_1 、 Φ'_1 和 Φ_2 时序图

影响非常大,而栅压自举开关解决了普通开关导通电阻非线性问题,提高了输入开关的线性度,减小了失真. 本文提出的栅压自举开关电路结构如图 4 所示.

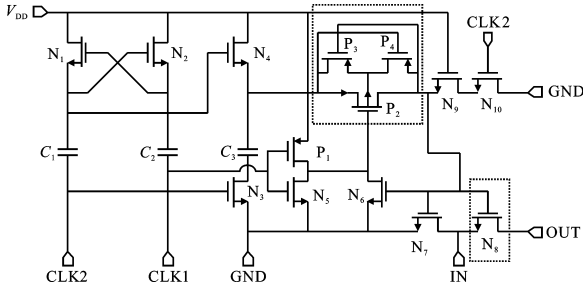


图 4 栅压自举开关电路图

NMOS 管 N8 为开关管,栅源电压恒定在电源电压 1.1 V,不随输入电压 V_{IN} 的变化而变化. 且栅压自举开关的导通电阻和关断电阻基本稳定,不受输入电压 V_{IN} 的影响,导通电阻约为 100 Ω ,关断电阻约为 200 M Ω . 为了避免 PMOS 管 P_2 出现衬偏效应,采用 P_3 和 P_4 管来钳制 P_2 管的衬底电压,使其跟随源漏端电压较高的一端. 当源极高漏极低时, P_3 导通, P_4 截止,使 P_2 管的衬底跟随源极电压. 同理,当漏极高源极低时,衬底跟随漏极电压. 如果将 P_2 管的衬底接电源电压,由于电荷泵的存在,电容 C_3 的上级板电压会超过电源电压 V_{DD} ,则导致场效应结和源-衬底结出现正偏的现象.

3.2 流水级转换电路的设计

流水级转换电路主要由 MDAC 和子 ADC 组成,一般将采样模块、子 DAC 模块和放大 2 倍模块共称为乘法 DAC,即 MADC.

MDAC 的原理图如图 5 所示,时钟 Φ_1 和 Φ_2 为两相非交叠时钟. 假设当时钟为高电平时开关导通,图 6 为图 5 在时钟 Φ_1 和 Φ_2 分别有效时的等效原理图.

当 Φ_1 有效时,电路处于保持模式,则有:

$$Q_A = (V_{CM} - V_{INP})(C_f + C_s) \quad (1)$$

$$Q_B = (V_{CM} - V_{INN})(C_f + C_s) \quad (2)$$

当 Φ_2 有效时,电路处于采样模式,则有:

$$Q_A = (V_A - V_{DAP})C_s + (V_A - V_{OUTP})C_f \quad (3)$$

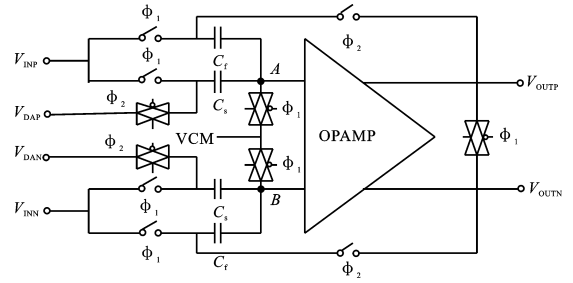


图 5 MADC 原理图

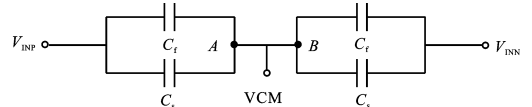
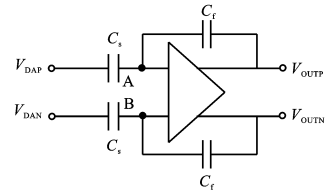
(a) Φ_1 有效时,电路等效原理图(b) Φ_2 有效时,电路等效原理图

图 6 MADC 采样和保持模式的等效原理图

$$Q_B = (V_B - V_{DAN})C_s + (V_B - V_{OUTN})C_f \quad (4)$$

由于 A、B 两节点分别为运放的差分输入端,故有电压 V_A 与电压 V_B 相等,由于级电路提供 1.5 bit 转换精度,故增益为 2,采样电容 C_s 与反馈电容 C_f 相等,联立式(1)~(4),则有:

$$V_{OUTP} - V_{OUTN} = 2(V_{INP} - V_{INN}) - (V_{DAP} - V_{DAN}) \quad (5)$$

3.2.1 运算放大器的设计

运放是 S/H 和 MDAC 的核心,其建立特性决定 pipeline ADC 的速度和精度. 高速要求运放具有较大的单位增益带宽,高精度则要求运放直流增益足够大,使其有限增益误差足够小. MDAC1 中运放的电路图如图 7 所示.

对于本设计而言,根据 pipeline ADC 的一般设计原则,MDAC 输出端的有效增益误差应小于后级所剩位数的 1/2LSB. 则对于 MDAC1 而言,其输出端的有效增益误差为 $1/2^{12}$,则有

$$\epsilon_s = \frac{1}{\alpha A_1} \leq \frac{1}{2^{12}} \quad (6)$$

式中, α 为反馈系数,由于 1.5 bit 级的 MDAC 其闭环增益为 2,故 α 为 0.5,故有 $A_1 \geq 2^{13}$,即 MDAC1 中运放的直流增益需大于 78 dB. 对于 GBW 的要求,各级建立误差等效到输入端必须小于 1/2LSB,对于 MDAC1 则有:

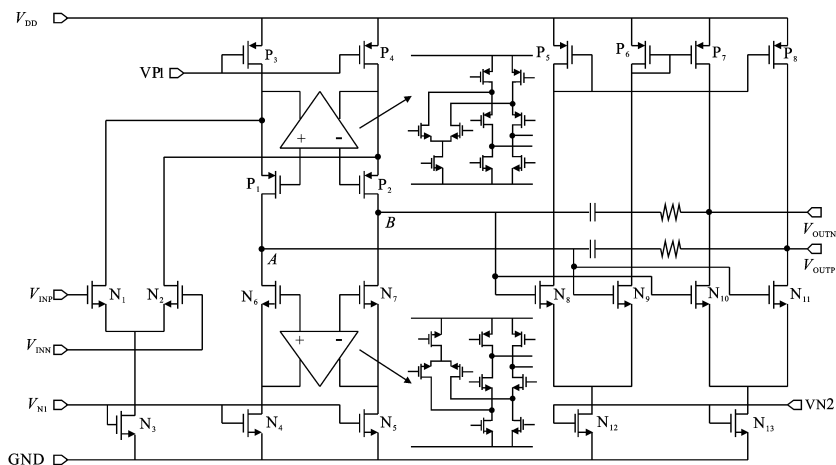


图 7 MADC1 中运放的电路图

$$\text{GBW1} \geq \frac{f_s}{\pi\alpha} \ln 2^{12} \quad (7)$$

由于 f_s 为 60 MHz, 计算得到 GBW1 要求大于 320 MHz, 考虑到非交叠时间以及转换时间的影响, 并留有一定设计裕度, GBW1 要求大于 700 MHz.

本设计中选择的运放结构:第一级为带 gain-boosting 折叠共源共栅输入级结构;第二级为 AB 类输出级结构. 在深亚微米工艺下,随着特征尺寸的逐渐减小,CMOS 器件提供的电压增益越来越小. 在 SMIC 40 nm 工艺下,普通的两级运放不足以提供 78 dB 的电压增益,因此需要在输入级采用 gain-boosting 结构. 1.1 V 的低电源电压下,共模电压的设计更为困难,因此选择折叠共源共栅输入级. 而 AB 类的输出级可以提供轨到轨的输出摆幅,并且消耗较小的电流,节省功耗.

从图 7 中可以看到, N_1 和 N_2 为运放的的两个差分输入对管, A 、 B 两节点为运放第一级的两个差分输出端。 A 端接到 N_9 的栅端, 通过 N_9 , P_6 , P_7 这一通路, 最终接到 P_7 的栅端, 而 B 端直接与 N_{10} 的栅端相连, 这样 P_7 , N_{10} 就构成了第一个 AB 输出级, 输出端为 V_{OUTN} , 同理有 P_8 , N_{11} 构成第二个 AB 输出级, 输出端为 V_{OUTP} 。 A 与 V_{OUTP} 之间的电容为米勒补偿电容、电阻为调零电阻, 用以补偿运放的频率特性, 从而使整个运放稳定。 图中的 gain-boosting 运放也采用折叠共源共栅结构, 来获得高增益并降低共模电平设计难度, 根据运放各点共模电平不同, 位于 PMOS 管中的 gain-boosting 运放采用 NMOS 管作为输入, 而位于 NMOS 管中的采用 PMOS 管作为输入, 图 8 为运放幅频和相频特性的仿真图。

从图 8 中可以看到,在典型工艺条件下,运放的直流增益为 80 dB,6 dB 带宽(差分输出)为 760

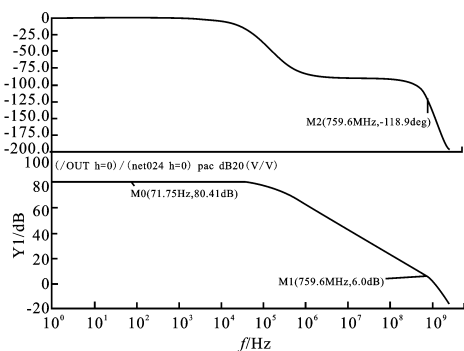


图 8 运放幅频和相频特性的仿真图

MHz,此时相位裕度为 61° ,可见运放的增益、带宽及稳定性均满足设计要求.

3.2.2 子 ADC 的设计

子 ADC 电路处理级电路的精度为 1 位,结合数字校准技术的需要,引入 0.5 位的冗余位. 子 ADC 由两个比较电平分别为 $+V_{\text{ref}}/4$ 和 $-V_{\text{ref}}/4$ 的比较器组成. 每级 1.5 bit 的 pipeline ADC 中,在 $\pm V_{\text{ref}}/4$ 范围内的比较器失调引起的非线性误差都能够通过下一级对其进行数字校正二消除,极大地放宽了对比较器失调的要求. 在本设计,采用动态锁存比较器以降低功耗^[7],动态锁存比较器的电路图如图 9 所示.

当 LATCHB 为高电平, 且 LATCH 为低电平时, P_5 导通, A 、 B 两点电压相等, 均被上拉至 V_{DD} , 此时 P_5 管相当于复位管。当 LATCHB 为高电平, 且 LATCH 为高电平时, N_3 、 N_5 导通, 两个差分输入电压分别传递至 A 、 B 两节点, 此时 P_1 、 P_4 、 P_5 关断, A 、 B 两节点电压通过由 P_2 、 P_3 、 N_6 和 N_7 构成的锁存器进行比较。LATCHB 为低电平时, N_2 、 N_3 关断, 比较器处于维持状态。LTACH、LTACH 时序如图 10 所示。

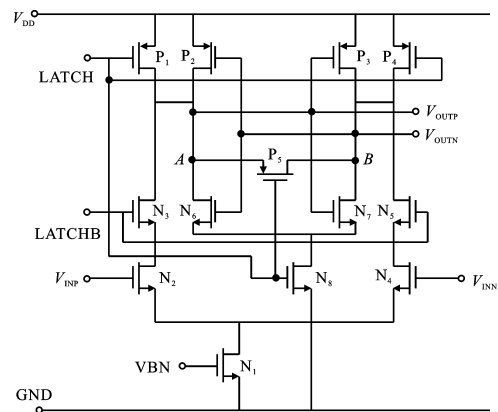


图 9 动态锁存比较器电路图

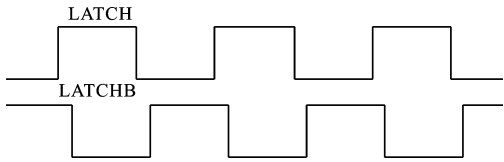


图 10 LATCH 和 LATCHB 的时序图

在典型工艺条件下,输入时钟为 60 MHz,温度为 45℃,电源电压为 1.1 V 时,比较器失调电压仅为 1.4 mV,足以满足 1.5 bit 级电路对比较器失调电压的要求.

4 流水线 ADC 的整体版图

本文设计的高性能流水线模数转换器采用 SMIC 40 nm CMOS 工艺,图 11 为流水线 ADC 的整体版图.

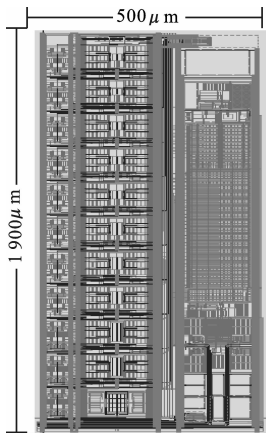


图 11 流水线 ADC 的整体版图

在 ADC 的整体版图中,左半边从下至上为 S/H 电路以及 1 到 10 级转换级电路的版图.右半边为 Band-gap 电路(带隙基准)、buffer(缓冲器)以及数字校正电路的版图. ADC 的核心电路版图面积为

1 900 μm×500 μm,即为 0.95 mm².

5 流水线 ADC 的整体仿真

当输入信号为 1.875 MHz,采样速率为 60 MHz 时,对整个 ADC 进行瞬态仿真,得到 ADC 消耗的总电流为 56 mA,其中模拟部分消耗 53.5 mA,主要电流消耗在运放上,数字部分消耗 2.5 mA.

对 ADC 输出的瞬态波形进行非相干采样,采样点数 $N=64$,将得到的数据通过 MATLAB 软件进行处理.对采样点进行 FFT(快速傅里叶变换)分析,得到图 12 所示流水线 ADC 的频谱图,再进行相应的数据处理,得到整个 ADC 的动态参数性能.其中无杂散动态范围(SFDR)为 74.6 dB,总谐波失真(THD)为-75.1 dB,信噪比(SNR)为 69.8 dB,信号噪声失真比(SNDR)为 68.7 dB,有效位数(ENOB)为 11.12.

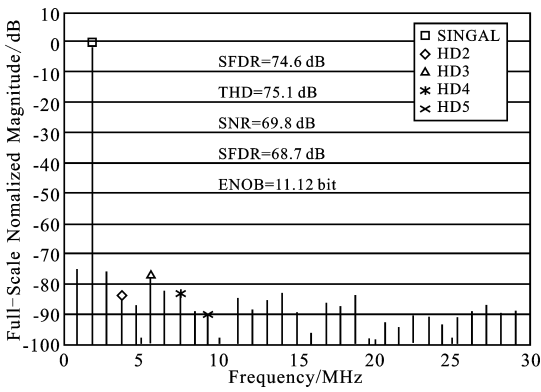


图 12 流水线 ADC 频谱图

本文设计的流水线 ADC 性能与论文^[8-10]的比较见表 1,我们采用文献[8]提出的品质因数 FoM (Figure of Merit)来进行衡量,FoM 代表 ADC 转换一步所需要的能量,该值越小,表明性能越好.

表 1 ADC 性能比较

性能参数	本文	文献[8]	文献[9]	文献[10]
分辨率/bit	12	12	12	12
采样率/MHz	60	50	40	195
工艺/nm	40	180	130	40
电源电压/V	1.1	1.8	1.2	1
功耗电流/mA	56	12	40	53
SFDR/dB	74.6	69.4	76.4	82
SNDR/dB	68.7	60.6	63.6	64.8
ENOB/bit	11.1	9.77	10.3	10.5
芯片面积/mm ²	0.95	0.93	—	—
FoM(pJ/步)	0.46	0.49	0.98	0.19

$$\text{FoM} = \frac{\text{Power}}{2^{\text{ENOB}} \times f_s} \quad (8)$$

与其他流水线 ADC 相比,动态参数和综合性能良好,满足高性能的要求。

6 结束语

本文设计的基于 SMIC 40 nm CMOS 工艺 12 位 60 MHz 高性能流水线模数转换器,采用由 10 级 1.5 位每级级电路和最后一级为 2 位 flash ADC 组成的结构,通过在 ADC 的前端加一个 S/H 电路,有效抑制了模拟输入信号的动态误差. 在电路中关键信号路径上采用栅压自举开关,提高了输入开关的线性度,减小失真. 采用带增益自举的折叠式共源共栅输入级和 AB 类输出级的运放,从而获得高增益和大的输出摆幅,同时根据 ADC 各级电路中对采样电容及运放增益和带宽的不同要求,逐级优化,减小芯片面积,降低功耗. 仿真结果表明,流水线 ADC 的 SNDR 为 68.7 dB, SFDR 为 74.6 dB, ENOB 为 11.12 bit, 整体功耗 56 mA. 该流水线模数转换器满足高性能的设计要求。

参考文献:

- [1] Verma A, Razavi B. A 10 bit 500—MS/s 55—mW CMOS ADC[J]. IEEE J Solid—State Circuits, 2009, 44(11):30393050.
- [2] Chang D Y, LEE S H. Design techniques for a low-power low-cost CMOS A/D converter [J]. IEEE J Solid-State Circuits, 1998, 33(8):1244-1248.
- [3] Panigada A, Galton I. A 130mW 100MS/s pipelined ADC with 69 dB SNDR enabled by digital harmonic distortion correction[J]. IEEE J Solid-State Circuits,

2009,44(12):3314-3328.

- [4] 吴旭. 12 位 125MSPS 流水线型模数转换器设计[M]. 长沙:湖南大学, 2012.
- [5] Moon U, Temes G, Bidari E, et al. Switched-capacitor circuit techniques in submicron low-voltage CMOS[J]. IEEE Int Conf On VLSI and CAD, 1999, 6(1): 349-358.
- [6] Kim Y, Kusayanagi N, Abidi A A. A 10-b, 100-MS/s CMOS A/D Converter[J]. IEEE J Solid-State Circuits, 1997, 32(6):302-311.
- [7] 尹睿. 高精度、低功耗流水线型模数转换器的研究与设计[D]. 上海:复旦大学, 2010.
- [8] Lee K H, Kim K S, Lee S H. A 12 b 50 MS/s 21.6mW 0.18 μ m CMOS ADC maximally sharing capacitors and opamps[J]. IEEE Trans on Circuits and Systems I: Regular Papers, 2011, 58(9): 2127-2136.
- [9] 景鑫, 庄奕琪, 汤华莲, 等. 采用改进自举开关的 12 bit 40MS/s 流水线 ADC[J]. 华中科技大学学报(自然科学版), 2013, 41(8):30-33.
- [10] Rohan Sehgal, Frank van der Goes, Klaas Bult. A 12-b 53mW 195 MS/s Pipeline ADC with 82 dB SFDR Using Split-ADC Calibration[J]. IEEE J Solid-State Circuit, 2015, 50(1): 1592-1603.

作者简介:

谢 灿 男, (1991-), 硕士研究生. 研究方向为模拟/射频 CMOS 集成电路设计. E-mail: xiecan@ime.ac.cn

魏子辉 男, (1989-), 博士研究生. 研究方向为模拟集成电路设计、模数转换器设计.

黄水龙 男, (1975-), 博士, 副研究员. 研究方向为高性能模拟/射频 CMOS 集成电路.

(上接第 53 页)

- [5] 马睿, 张会新, 翟成瑞. 一种新型遥测模拟测试系统的设计与实现[J]. 电子器件, 2015, 37(1):160-165.
- [6] 姚利锋. 数字通信信号的参数估计与干扰技术研究[J]. 电子技术与软件工程, 2014, 15(3): 38-62.
- [7] 佚名. 浅谈 ADM2587E 在 RS485/422 接口隔离中的应用[J]. 单片机与嵌入式系统应用, 2012, 12(5):86-87.
- [8] 王宏莎. CAN 总线收发器电路的设计与研究[D]. 成都:电子科技大学, 2013.
- [9] JeanJ Labrosse, 著. 嵌入式实时操作系统 uC/OS-I [M]. 邵贝贝, 译. 第二版. 北京:北京航空航天大学出版社, 2003.

- [10] 季志均, 马文丽, 陈虎, 等. 四种嵌入式实时操作系统关键技术分析[J]. 计算机应用研究, 2005, 22(9):4-8.

作者简介:

哈 悦 女, (1990-), 硕士研究生. 研究方向为嵌入式系统研发、微电子可靠性测量.

E-mail: hyue_ing@163.com.

谢雪松 男, (1970-), 博士, 副教授. 研究方向为嵌入式系统研发、微电子可靠性测量.

张小玲 女, (1972-), 博士, 副教授. 研究方向为半导体器件物理、器件设计及可靠性研究.